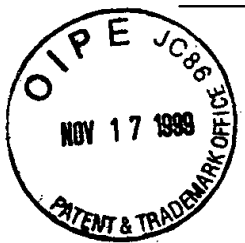


GAU2812

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Ming-Tung SHEN
Serial No.: 09/407204
Filed: September 28, 1999
Notice of Allow. Date: NA
Due Date:
Title: SEMICONDUCTOR CHIP MODULE

Examiner: Unknown
Group Art Unit: 2812
Docket: 8688.128US01
Batch No.: NA



CERTIFICATE UNDER 37 CFR 1.8: The undersigned hereby certifies that this Transmittal Letter and the paper, as described herein, are being deposited in the United States Postal Service, as first class mail, with sufficient postage, in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on November 10, 1999.

By:
Michael D. Schumann

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

We are transmitting herewith the attached:

- ☒ Transmittal Sheet in duplicate containing Certificate of Mailing
- ☒ Certified copy of a Taiwan, Republic of China application, Serial No. 88212813, filed July 30, 1999, the right of priority of which is claimed under 35 U.S.C. 119
- ☒ Other: Communication regarding submission of priority document
- ☒ Return postcard

Please consider this a PETITION FOR EXTENSION OF TIME for a sufficient number of months to enter these papers, if appropriate. Please charge any additional fees or credit overpayment to Deposit Account No. 13-2725. A duplicate of this sheet is enclosed.

MERCHANT & GOULD P.C.
3100 Norwest Center, Minneapolis, MN 55402
(612) 332-5300

By:
Name: Michael D. Schumann
Reg. No.: 30,422
MDS:vvh

RECEIVED
NOV 19 1999
TO 6000 MAIL ROOM

S/N 09/407204

#3 1-11-00
PB
PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant:	Ming-Tung SHEN	Examiner:	Unknown
Serial No.:	09/407204	Group Art Unit:	2812
Filed:	09/28/1999	Docket No.:	8688.128US01
Title:	SEMICONDUCTOR CHIP MODULE		

CERTIFICATE UNDER 37 CFR 1.8: The undersigned hereby certifies that this correspondence is being deposited with the United States Postal Service, as first class mail, with sufficient postage, in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on November 10, 1999.

By: 

Name: Michael D. Schumann

SUBMISSION OF PRIORITY DOCUMENTS

Assistant Commissioner for Patents
Washington, D.C. 20231

Dear Sir:

Applicants enclose herewith one certified copy of a Taiwan, Republic of China application, Serial No. 88212813, filed July 30, 1999, the right of priority of which is claimed under 35 U.S.C. Section 119.

Respectfully submitted,
Ming-Tung SHEN

By his attorneys,

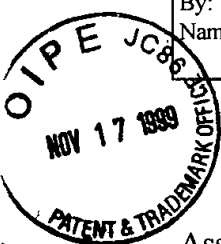
MERCHANT, GOULD, SMITH, EDELL,
WELTER, & SCHMIDT, P.A.
3100 Norwest Center
90 South Seventh Street
Minneapolis, Minnesota 55402
(612) 332-5300

Dated: November 10, 1999

By: 

Michael D. Schumann
Reg. No. 30,422
MDS:vvh

RECEIVED
NOV 12 1999
FEDERAL MAIL ROOM



S/N unknown

12-7-99
PRB

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Ming-Tung SHEN Serial No.: unknown
Filed: concurrent herewith Docket No.: 8688.128US01
Title: SEMICONDUCTOR CHIP MODULE

CERTIFICATE UNDER 37 CFR 1.10

'Express Mail' mailing label number: EL435537011US

Date of Deposit: September 28, 1999

I hereby certify that this correspondence is being deposited with the United States Postal Service 'Express Mail Post Office To Addressee' service under 37 CFR 1.10 on the date indicated above and is addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231.

By


Name: Jackie Solomon

SUBMISSION OF PRIORITY DOCUMENTS

Box Patent Application
Assistant Commissioner for Patents
Washington, D.C. 20231

Dear Sir:

Applicant hereby claims the benefit under Title 35, United States Code § 119 of foreign priority as follows:

<u>Application No.</u>	<u>Filing Date</u>	<u>Country</u>
88212813	July 30, 1999	Taiwan

The priority document(s) will be furnished at a later date

Respectfully submitted,

Ming-Tung SHEN

By his attorneys,

MERCHANT, GOULD, SMITH, EDELL,
WELTER, & SCHMIDT, P.A.

3100 Norwest Center
90 South Seventh Street
Minneapolis, Minnesota 55402
(612) 332-5300

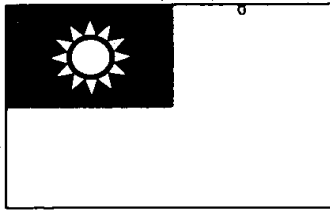
Dated: September 28, 1999

By


Michael D. Schumann

Reg. No. 30,422

MDS:vvh



09/407,204
8688,128 4501



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，其申請資料如下：

This is to certify that annexed is a true copy from the records of this Office of the application as originally filed which is identified hereunder:

申請日：西元 1999 年 7 月 30 日
Application Date

申請案號：88212813
Application No.

申請人：沈明東
Applicant(s)

RECEIVED

NOV 19 1999

TC 2-30 MAIL ROOM

局長
Director General

陳明邦

發文日期：西元 1999 年 10 月 25 日
Issue Date

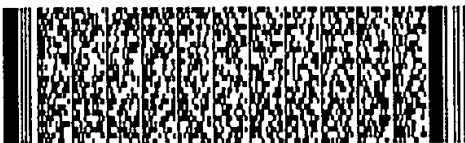
發文字號：137565
Serial No.

申請日期：	案號：88212813
類別：	

(以上各欄由本局填註)

新型專利說明書

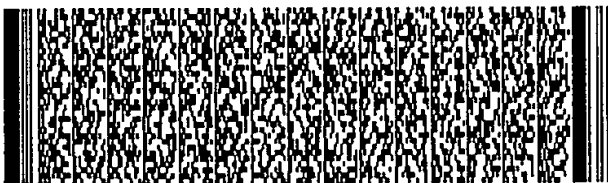
一、 新型名稱	中 文	堆疊式記憶體模組結構及使用它之多層堆疊式記憶體模組結構
	英 文	
二、 創作人	姓 名 (中文)	1. 沈明東
	姓 名 (英文)	1. Ming-Tung Shen
	國 籍	1. 中華民國
	住、居所	1. 台北市內湖區麗山街328巷60號
三、 申請人	姓 名 (名稱) (中文)	1. 沈明東
	姓 名 (名稱) (英文)	1. Ming-Tung Shen
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 台北市內湖區麗山街328巷60號
	代表人 姓 名 (中文)	1.
	代表人 姓 名 (英文)	1.



四、中文創作摘要 (創作之名稱：堆疊式記憶體模組結構及使用它之多層堆疊式記憶體模組結構)

一種堆疊式記憶體模組結構，其係適於安裝在一印刷電路板上，該堆疊式記憶體模組結構包含：一晶元安裝體，該晶元安裝體具有一第一安裝表面和一第二安裝表面，並且係形成有數個其之孔形成壁被電鍍有導電材料的電鍍貫孔，該第一和第二安裝表面皆佈設有延伸至對應之電鍍貫孔且與該電鍍貫孔之孔形成壁上之導電材料電氣連接之預定的電路軌跡；至少兩晶元，該等晶元各具有一設置有數個黏接墊的黏接墊安裝表面；至少兩絕緣膠帶層，該等絕緣膠帶層係分別置於其中一個晶元與該晶元安裝體之第一安裝表面之間及另一個晶元與該晶元安裝體之第二安裝表面之間，並且係各具有一與對應之晶元之黏接墊安裝表面黏接的第一黏接表面和一與該晶元安裝體之對應

英文創作摘要 (創作之名稱：)



四、中文創作摘要 (創作之名稱：堆疊式記憶體模組結構及使用它之多層堆疊式記憶體模組結構)

之安裝表面黏接的第二黏接表面，該膠帶層係形成有數個用以使各晶元之黏接墊與該晶元安裝體之對應之安裝表面之對應之電路軌跡連通的穿孔，在各穿孔中係設置有導電金屬球俾可達成該等晶元之黏接墊與該晶元安裝體之對應之電路軌跡的電氣連接；及數個適於安裝於該印刷電路板上的錫球，該等錫球係被設置於該晶元安裝體的其中一個安裝表面上且係與對應之電鍍貫孔對準及與該電鍍貫孔之孔形成壁上的導電材料電氣連接。

英文創作摘要 (創作之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

五、創作說明 (1)

本創作係有關於一種堆疊式記憶體模組結構及使用它之多層堆疊式記憶體模組結構，更特別地，係有關於一種製造自動化之堆疊式記憶體模組結構及使用它之多層堆疊式記憶體模組結構。

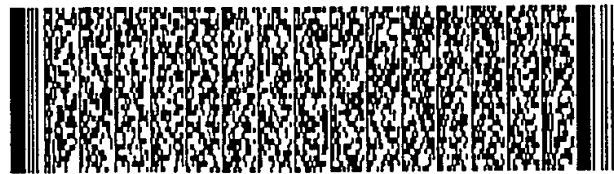
隨著電腦科技的日益發達，電腦運作速度及功能日益加快及增強。也正因如此，記憶體容量的需求便越來越大。然而，主機板面積有限，增加記憶體數量勢必佔用寶貴的主機板面積，因此，便有堆疊式記憶體模組架構發展出來俾在不佔用主機板面積下增加記憶體容量。

習知的堆疊式記憶體模組架構係有如在由IBM所擁有之美國專利第4,996,587號中所揭露的結構。然而，該美國專利所揭露的手段由於需要須由人工裝配之額外的S形連接器夾子，故無法達成自動化製造，因而使得製程變複雜，且整體成本增加相當大的幅度。

有鑑於此，本案創作人遂以其從事該行業之多年經驗，並本著精益求精之精神，積極研究改良，遂有本創作『堆疊式記憶體模組結構及使用它之多層堆疊式記憶體模組結構』產生。

本創作之目的是為提供一種製造自動化之堆疊式記憶體模組結構及使用它之多層堆疊式記憶體模組結構。

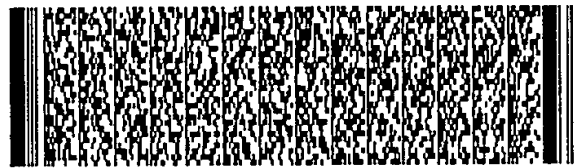
根據本創作之一特徵，一種堆疊式記憶體模組結構，其係適於安裝在一印刷電路板上，該堆疊式記憶體模組結構包含：一晶元安裝體，該晶元安裝體具有一第一安裝表面和一第二安裝表面，並且係形成有數個其之孔形成壁被



五、創作說明 (2)

電鍍有導電材料的電鍍貫孔，該第一和第二安裝表面皆佈設有延伸至對應之電鍍貫孔，且與該電鍍貫孔之孔形成壁上之導電材料電氣連接之預定之電路軌跡；至少兩晶元，該等晶元各具有一設置有數個黏接墊的黏接墊安裝表面；至少兩絕緣膠帶層，該等絕緣膠帶層係分別置於其中一個晶元與該晶元安裝體之第一安裝表面之間及另一個晶元與該晶元安裝體之第二安裝表面之間，並且係各具有一與該晶元之黏接墊對應之安裝表面黏接的第一黏接表面，該膠帶層係形成有數個用以使各晶元之黏接墊與該晶元安裝體對應之安裝表面之對應之電路軌跡連通的穿孔，在各穿孔中係設置有導電金屬球俾可達成該等晶元之黏接墊與該晶元安裝體之對應之電路軌跡的電氣連接；及數個適於安裝於該印刷電路板上的錫球，該等錫球係被設置於該晶元安裝體的一個安裝表面上且係與對應之電鍍貫孔對準及與該電鍍貫孔之孔形成壁上的導電材料電氣連接。

根據本創作的另一特徵，一種多層堆疊式記憶體模組結構，其係適於安裝在一印刷電路板上，該多層堆疊式記憶體模組結構包含至少兩個堆疊式記憶體模組結構，該等堆疊式記憶體模組結構各包含：一晶元安裝體，該晶元安裝體具有一第一安裝表面和一第二安裝表面，並且係形成有數個其之孔形成壁被電鍍有導電材料的電鍍貫孔，該第一和第二安裝表面皆佈設有延伸至對應之電鍍貫孔且與該電鍍貫孔之孔形成壁上之導電材料電氣連接之預定的電



五、創作說明 (3)

路軌跡；至少兩晶元，該等晶元各具有一設置有數個黏接墊的黏接墊安裝表面；至少兩絕緣膠帶層，該等絕緣膠帶層係分別置於其中一個晶元與該晶元安裝體之第一安裝表面之間及另一個晶元與該晶元安裝體之第二安裝表面之間，並且係各具有一與對應之晶元之黏接墊安裝表面黏接的第一黏接表面和一與該晶元安裝體之對應之安裝表面黏接的第二黏接表面，該膠帶層係形成有數個用以使各晶元之黏接墊與該晶元安裝體之對應之安裝表面之對應之電路軌跡連通的穿孔，在各穿孔中係設置有導電金屬球俾可達成該等晶元之黏接墊與該晶元安裝體之對應之電路軌跡的電氣連接；及數個適於安裝於該印刷電路板上的錫球，該等錫球係被設置於該晶元安裝體的其中一個安裝表面上的且係與對應之電鍍貫孔對準及與該電鍍貫孔之孔形成壁上的導電材料電氣連接。

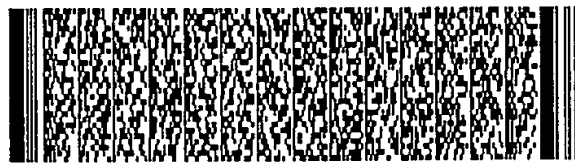
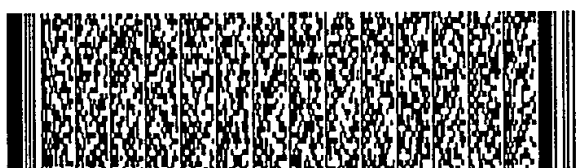
有關本創作為達上述目的、特徵所採用的技術手段及其功效，茲例舉較佳實施例並配合圖式說明如下：

第一圖係描繪本創作堆疊式記憶體模組結構之第一較佳實施例的示意剖視圖；

第二圖係本創作第一較佳實施例之晶元安裝體之一部份的示意立體圖；

第三圖係本創作第一較佳實施例之晶元之一部份的示意立體圖；

第四圖係本創作第一較佳實施例之膠帶層之一部份的示意立體圖；



五、創作說明 (4)

第五圖係使用本創作第一較佳實施例之多層堆疊式記憶體模組結構的示意剖視圖；

第六圖係本創作第二較佳實施例的示意剖視圖；

第七圖係使用本創作第二較佳實施例之多層堆疊式記憶體模組結構的示意剖視圖；

第八圖係本創作第三較佳實施例的示意剖視圖；

第九圖係使用本創作第三較佳實施例之多層堆疊式記憶體模組結構的示意剖視圖；

第十圖係本創作第四較佳實施例的示意剖視圖；

第十一圖係使用本創作第四較佳實施例之多層堆疊式記憶體模組結構的示意剖視圖；及

第十二圖係本創作第五較佳實施例的側視圖。

元件標號對照表

1	晶元安裝體	2	晶元
3	錫球	4	膠帶層
5	導電金屬球	10	第一安裝表面
11	第二安裝表面	12	電路軌跡
14	電鍍貫孔	23	環氧樹脂層
20	黏接墊安裝表面	21	黏接墊
22	導線	40	穿孔
13	凹坑	6	封膠層
4a	絕緣膠帶層	13a	凹坑
2a	第一晶元	2b	第二晶元
24	散熱板	1a	第一晶元安裝體

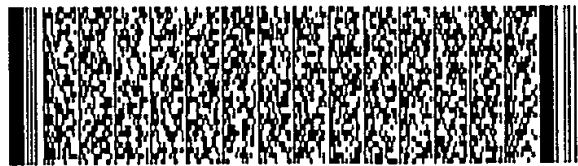
五、創作說明 (5)

1b	第二晶元安裝體	3a	第一錫球
17a	通孔	15a	晶元安裝表面
15b	晶元安裝表面	16a	電路軌跡佈設表面
16b	電路軌跡佈設表面	14a	電鍍貫孔
14b	電鍍貫孔	23a	環氧樹脂層
23b	環氧樹脂層	24a	金屬散熱板
24b	金屬散熱板	20a	黏接墊安裝表面
20b	黏接墊安裝表面	21a	黏接墊
21b	黏接墊	22a	導線
22b	導線	6a	封膠層
6b	封膠層	7	第一絕緣膠帶層
70	穿孔	8	第二絕緣膠帶層
80	穿孔		

在本創作被詳細描述之前，應要注意的是在整個說明當中，相同的元件係由相同的標號標示。

請參閱第一圖所示，本創作之堆疊式記憶體模組結構的第一較佳實施例係被顯示包含一晶元安裝體1、至少二晶元2及數個錫球3。

在本實施例中，該晶元安裝體1為一基板，且係具有一第一安裝表面10和一第二安裝表面11。在該第一和第二安裝表面10,11上皆佈設有預定的電路軌跡12（請參閱第二圖所示）。該晶元安裝體1形成有數個其孔形成壁電鍍有導電材料的電鍍貫孔14。在該晶元安裝體1之第一和第二安裝表面10,11上的電路軌跡12係會延伸至對應的貫孔



五、創作說明 (6)

14 且與其孔形成壁上的導電材料電氣連接。

該等晶元2 各具有一黏接墊安裝表面20 (請參閱第三圖所示)。在該黏接墊安裝表面20 上係設置有數個黏接墊21。該等晶元2 係各透過一具有第一與第二黏接表面的絕緣膠帶層4 來分別安裝在該晶元安裝體1 的第一與第二安裝表面10, 11 上。各膠帶層4 的第一黏接表面係與對應之晶元2 之黏接墊安裝表面20 黏接, 而其之第二黏接表面係與該晶元安裝體1 之對應之安裝表面10, 11 黏接。該膠帶層4 係形成有數個用以使各晶元2 之黏接墊21 與該晶元安裝體1 之對應之安裝表面10, 11 上之對應之軌跡12 連通的穿孔40 (請參閱第四圖所示)。該等晶元2 之黏接墊20 與該晶元安裝體1 之對應之軌跡12 的電氣連接係藉由置於穿孔40 中的導電金屬球5 來達成。在各晶元2 之周圍與該晶元安裝體1 之對應之安裝表面10, 11 之間係更形成有一環氧樹脂層23 俾可進一步固定該等晶元2。應要注意的是, 為了散熱及保護晶元2 之目的, 在各晶元2 之與該黏接墊安裝表面20 相對的表面上係更可設置有一金屬散熱板24。

該等錫球3 (在第一圖中僅顯示其中兩個) 係被設置於該晶元安裝體1 的第二安裝表面11 上且係與對應的電鍍貫孔14 對準及與貫孔14 之孔形成壁的導電材料電氣連接, 以致於該等錫球3 係透過晶元安裝體1 之安裝表面10, 11 上的電路軌跡12 來與晶元2 之對應的黏接墊21 成電氣連接。

應要注意的是, 本實施例之圖式顯示在該晶元安裝體

五、創作說明 (7)

1 的第一與第二安裝表面10與11上分別僅有一晶元2，然而，熟知此項技術之人仕應了解在該晶元安裝體1的各安裝表面10,11上係可設置兩個或以上的晶元2。

請配合參閱第五圖所示，係為利用本創作第一實施例之多層堆疊式記憶體模組結構，其包含數個本創作第一實施例之堆疊式記憶體模組結構，較上層之記憶體模組結構的錫球3係固定到較下層之記憶體模組結構之晶元安裝體1之第一安裝表面10上且係與對應之貫孔14對準及與貫孔14之孔形成壁的導電材料電氣連接，而最下層之記憶體模組結構之錫球3係適於固定至一印刷電路板(圖中未示)上且係與該印刷電路板之對應的電路軌跡成電氣連接。

請參閱第六圖所示，係為本創作的第二較佳實施例。在本實施例中，該晶元安裝體1是為一三層基板且在其之第一與第二安裝表面10,11上係各凹設有至少一個用以容置晶元2的晶元容置凹坑13。各晶元2之與該黏接墊安裝表面20相對之表面係與一絕緣膠帶層4a的第一黏接表面黏接，而該膠帶層4a的第二黏接表面係黏接至該晶元安裝體1之對應之凹坑13之底壁，藉此致使各晶元2被固定於對應的凹坑13內。與第一較佳實施例不同，膠帶層4a沒有形成用於暴露晶元2之黏接墊21的穿孔。各晶元2之黏接墊21係藉由導線22來與該晶元安裝體1之對應之安裝表面10,11之如第二圖所示之對應的電路軌跡電氣連接。此外，於該晶元安裝體1之第一與第二安裝表面10,11上係各設有一用於覆蓋該等導線22與晶元2之黏接墊安裝表面20

五、創作說明 (8)

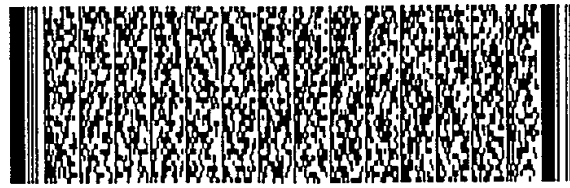
俾作保護的封膠層6。該封膠層6可以由環氧樹脂形成。

與第一較佳實施例類似，該等錫球3係被設置於該晶元安裝體1的第二安裝表面11上且係與對應的電鍍貫孔14對準及與該貫孔之孔形成壁上的導電材料電氣連接，以致於該等錫球3係透過該晶元安裝體1之安裝表面10, 11上的電路軌跡及導線22來與晶元2之對應的黏接墊21成電氣連接。

請配合參閱第七圖所示，係為利用本創作第二實施例之多層堆疊式記憶體模組結構，其包含數個本創作第二實施例之堆疊式記憶體模組結構，與第五圖所顯示的結構類似，較上層之記憶體模組結構的錫球3係固定在較下層之記憶體模組結構之晶元安裝體1之第一安裝表面10上且係與對應的電鍍貫孔14對準及與該貫孔14之孔形成壁上的導電材料電氣連接，而最下層之記憶體模組結構之錫球3係適於固定至一印刷電路板(圖中未示)上且係與該印刷電路板之對應的電路軌跡成電氣連接。

請參閱第八圖所示，係為本創作的第三較佳實施例。該第三較佳實施例係被顯示包含一晶元安裝體1、至少兩個第一晶元2a、至少兩個第二晶元2b、至少兩層第一絕緣膠帶層4、至少兩層第二絕緣膠帶層4a、及數個錫球3。

在本實施例中，該晶元安裝體1是為一三層基板且具有第一與第二安裝表面10, 11。在各安裝表面10, 11上係形成有至少一用於容置晶元的晶元容置凹坑13a。另一方面，在各安裝表面10, 11和各凹坑13a之底壁上係佈設有



五、創作說明 (9)

如第二圖所示般之預定的電路軌跡且各電路軌跡係延伸至形成於該晶元安裝體1中之對應的電鍍貫孔14。

各第一晶元2a係被容置於對應的凹坑13a內且其之設有黏接墊21的黏接墊安裝表面20係與第一絕緣膠帶層4之第一黏接表面黏接，而第一絕緣膠帶層4的第二黏接表面係與對應之凹坑13a的底壁黏接。與第一實施例相同，第一膠帶層4係形成有數個用以使各晶元2a之黏接墊21與在對應之凹坑13a之底壁上之對應之軌跡連通的穿孔40。該等晶元2a之黏接墊21與對應之凹坑13a之底壁上之對應之電路軌跡的電氣連接係藉由導電金屬球5來達成。

各第二晶元2b亦係被容置於對應的凹坑13a內且其之與設有黏接墊21之黏接墊安裝表面20相對的表面係與第二絕緣膠帶層4a之第一黏接表面黏接而第二膠帶層4a的第二黏接表面係與對應之第一晶元2a之與黏接墊安裝表面20相對的表面黏接。與第二實施例相同，各第二晶元2b的黏接墊21與在晶元安裝體1之對應之安裝表面10, 11上之電路軌跡之間的電氣連接係藉由導線22來達成。

該等錫球3係被設置於該晶元安裝體1的第二安裝表面11上且係與對應的電鍍貫孔14對準及與該貫孔14之孔形成壁上的導電材料電氣連接，以致於該等錫球3係透過該晶元安裝體1之安裝表面10, 11上的電路軌跡及導線22來與第二晶元2b之對應的黏接墊21電氣連接及係透過該等凹坑13a之底壁上的電路軌跡來與第一晶元2a之對應的黏接墊21電氣連接。



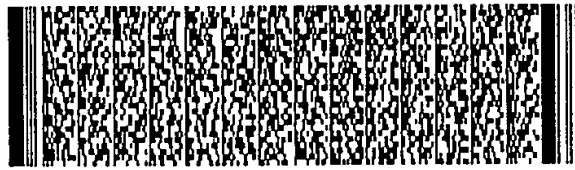
五、創作說明 (10)

請配合參閱第九圖所示，係為利用本創作第三實施例之多層堆疊式記憶體模組結構，其包含數個本創作第三實施例之堆疊式記憶體模組結構，與第五圖所顯示的結構類似，較上層之記憶體模組結構的錫球3係固定在較下層之記憶體模組結構之晶元安裝體1之第一安裝表面10上且係與對應的電鍍貫孔14對準及與該貫孔14之孔形成壁上的導電材料電氣連接，而最下層之記憶體模組結構之錫球3係適於固定至一印刷電路板(圖中未示)上且係與該印刷電路板之對應的電路軌跡成電氣連接。

請參閱第十圖所示，本創作之堆疊式記憶體模組結構的第四較佳實施例係被顯示包含第一和第二晶元安裝體1a和1b、至少一第一晶元2a、至少一第二晶元2b、數個第一錫球3a及數個第二錫球3。

該第一晶元安裝體1a具有一晶元安裝表面15a和一與該晶元安裝表面15a相對的電路軌跡佈設表面16a。該第一晶元安裝體1a形成有一用於暴露晶元之黏接墊的通孔17a及數個其之孔形成壁被電鍍有導電材料的電鍍貫孔14a。在該電路軌跡佈設表面16a上係佈設有如第二圖所示般之延伸至對應之電鍍貫孔14a且與該貫孔14a之孔形成壁上之導電材料電氣連接之預定的電路軌跡。

該第二晶元安裝體1b具有一晶元安裝表面15b和一與該晶元安裝表面15b相對的電路軌跡佈設表面16b。該第二晶元安裝體1b形成有一用於暴露晶元之黏接墊的通孔17b及數個其之孔形成壁被電鍍有導電材料的電鍍貫孔



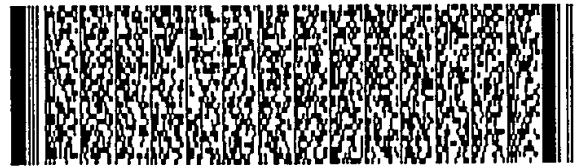
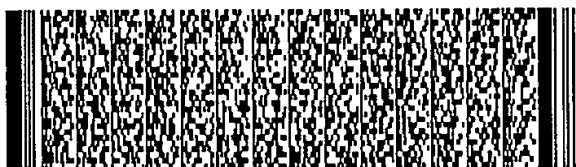
五、創作說明 (11)

14b。在該電路軌跡佈設表面16b上係佈設有如第二圖所示般之延伸至對應之電鍍貫孔14b且與該貫孔14b之孔形成壁上之導電材料電氣連接之預定的電路軌跡。

該第一晶元2a具有一安裝有黏接墊21a的黏接墊安裝表面20a。該第一晶元2a之黏接墊安裝表面20a係與一第一絕緣膠帶層7的第一黏接表面黏接，而該第一絕緣膠帶層7的第二黏接表面係與該第一晶元安裝體1a的晶元安裝表面15a黏接。該第一絕緣膠帶層7形成有一與該晶元安裝體1a之通孔17a對準的穿孔70。該第一晶元2a之黏接墊21a係藉由導線22a來與該第一晶元安裝體1a之電路軌跡佈設表面16a上之對應的電路軌跡電氣連接。此外，於該第一晶元安裝體1a之電路軌跡佈設表面16a上係設有一用於覆蓋該等導線22a與第一晶元2a之黏接墊安裝表面20a之被暴露之部份俾作保護的封膠層6a。該封膠層6a可以由環氧樹脂形成。

與第一實施例相同，在第一晶元2a之周圍與該第一晶元安裝體1a之晶元安裝表面15a之間係更形成有一環氧樹脂層23a俾可進一步固定該晶元2a。同時，第一晶元2a之與該黏接墊安裝表面20a相對的表面上係設置有一金屬散熱板24a。

該第二晶元2b具有一安裝有黏接墊21b的黏接墊安裝表面20b。該第二晶元2b之黏接墊安裝表面20b係與一第二絕緣膠帶層8的第一黏接表面黏接，而該第二絕緣膠帶層8的第二黏接表面係與該第二晶元安裝體1b的晶元安裝



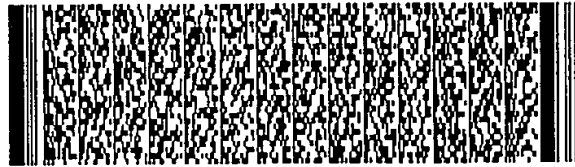
五、創作說明 (12)

表面15b 黏接。該第二絕緣膠帶層8 形成有一與該晶元安裝體1b之通孔17b 對準的穿孔80。該第二晶元2b之黏接墊21b 係藉由導線22b 來與該第二晶元安裝體1b之電路軌跡佈設表面16b 上之對應的電路軌跡電氣連接。此外，於該第二晶元安裝體1b之電路軌跡佈設表面16b 上係設有一用於覆蓋該等導線22b 與第二晶元2b之黏接墊安裝表面20b 之被暴露之部份俾作保護的封膠層6b。該封膠層6b可以由環氧樹脂形成。

與第一實施例相同，在第二晶元2b之周圍與該第二晶元安裝體1b之晶元安裝表面15b 之間係更形成有一環氧樹脂層23b 俾可進一步固定該晶元2b。同時，第一晶元2b之與該黏接墊安裝表面20b 相對的表面上係設置有一金屬散熱板24b。

該等第一錫球3a係置於該第一與第二晶元安裝體1a, 1b 之間。各第一錫球3a係與該第一晶元安裝體1a之一對應的電鍍貫孔14a 和該第二晶元安裝體1b之一對應的電鍍貫孔14b 對準，且係與該等貫孔14a, 14b 之孔形成壁上的導電材料電氣連接，以致於各第一錫球3a係透過晶元安裝體1a, 1b 之電路軌跡佈設表面16a, 16b 上的電路軌跡和導線22a, 22b 來與晶元2a, 2b 之對應的黏接墊21a, 21b 電氣連接。

該等第二錫球3 係被設置於該第二晶元安裝體1b的晶元安裝表面15b 上且係與對應的電鍍貫孔14b 對準及與貫孔14b 之孔形成壁的導電材料電氣連接。



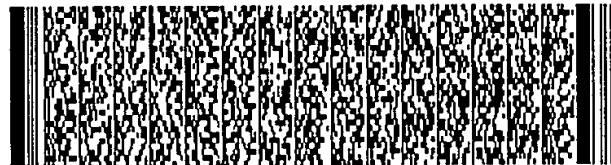
五、創作說明 (13)

請配合參閱第十一圖所示，係為利用本創作第四實施例之多層堆疊式記憶體模組結構，其包含數個本創作第四實施例之堆疊式記憶體模組結構，與第五圖所顯示的結構類似，較上層之記憶體模組結構的第二錫球3係固定在較下層之記憶體模組結構之第一晶元安裝體1a之晶元安裝表面15a上且係與對應的電鍍貫孔14a對準及與該貫孔14a之孔形成壁上的導電材料電氣連接，而最下層之記憶體模組結構之第二錫球3係適於固定至一印刷電路板(圖中未示)上且係與該印刷電路板之對應的電路軌跡成電氣連接。

請參閱第十二圖所示，係為本創作第五較佳實施例。與第四實施例不同的是，第十二圖的實施例顯示了在各晶元安裝體1a, 1b上係安裝有至少兩個晶元2a, 2b。

綜上所述，本創作之『堆疊式記憶體模組結構及使用它之多層堆疊式記憶體模組結構』，確能藉上述所揭露之構造、裝置，達到預期之目的與功效，且申請前未見於刊物亦未公開使用，符合創作專利之新穎、進步等要件。

惟，上述所揭之圖式及說明，僅為本創作之實施例而已，非為限定本創作之實施例；大凡熟悉該項技藝之人仕，其所依本創作之特徵範疇，所作之其他等效變化或修飾，皆應涵蓋在以下本案之申請專利範圍內。



六、申請專利範圍

1. 一種堆疊式記憶體模組結構，係適於安裝在一印刷電路板上，包含：

一晶元安裝體，該晶元安裝體具有一第一安裝表面和一第二安裝表面，並且係形成有數個其之孔形成壁被電鍍有導電材料的電鍍貫孔，該第一和第二安裝表面皆佈設有延伸至對應之電鍍貫孔且與該電鍍貫孔之孔形成壁上之導電材料電氣連接之預定的電路軌跡；

至少兩晶元，該等晶元各具有一設置有數個黏接墊的黏接墊安裝表面；

至少兩絕緣膠帶層，該等絕緣膠帶層係分別置於其中一個晶元與該晶元安裝體之第一安裝表面之間及另一個晶元與該晶元安裝體之第二安裝表面之間，並且係各具有一與對應之晶元之黏接墊安裝表面黏接的第一黏接表面和一與該晶元安裝體之對應之安裝表面黏接的第二黏接表面，該膠帶層係形成有數個用以使各晶元之黏接墊與該晶元安裝體之對應之安裝表面之對應之電路軌跡連通的穿孔，在各穿孔中係設置有導電金屬球俾可達成該等晶元之黏接墊與該晶元安裝體之對應之電路軌跡的電氣連接；及

數個適於安裝於該印刷電路板上的錫球，該等錫球係被設置於該晶元安裝體的其中一個安裝表面上且係與對應之電鍍貫孔對準及與該電鍍貫孔之孔形成壁上的導電材料電氣連接。

2. 如申請專利範圍第1項所述之堆疊式記憶體模組結構，



六、申請專利範圍

其中，在各晶元之周圍與該晶元安裝體之對應之安裝表面之間係更形成有一環氧樹脂層。

3. 如申請專利範圍第1項所述之堆疊式記憶體模組結構，其中，在各晶元之與該黏接墊安裝表面相對的表面上係設置有一金屬散熱板。

4. 一種堆疊式記憶體模組結構，係適於安裝在一印刷電路板上，包含：

一晶元安裝體，該晶元安裝體具有一第一安裝表面和一第二安裝表面，並且係形成有數個其之孔形成壁被電鍍有導電材料的電鍍貫孔，該第一和第二安裝表面各凹設有至少一個晶元容置凹坑並且皆佈設有延伸至對應之電鍍貫孔且與該電鍍貫孔之孔形成壁上之導電材料電氣連接之預定的電路軌跡；

至少兩晶元，該等晶元各具有一設置有數個黏接墊的黏接墊安裝表面，該等晶元係分別容置於該晶元安裝體之對應的晶元容置凹坑內；

至少兩絕緣膠帶層，該等絕緣膠帶層係分別置於其中一個晶元與該晶元安裝體之其中一個凹坑之底壁之間及另一個晶元與該晶元安裝體之另一個凹坑之底壁之間，該等膠帶層係各具有一與對應之晶元之與該黏接墊安裝表面相對之表面黏接的第一黏接表面和一與該晶元安裝體之對應之凹坑之底壁黏接的第二黏接表面，該等晶元之黏接墊係藉由導線來與該晶元安裝體之對應之安裝表面的電路軌跡成電氣連接；



六、申請專利範圍

至少兩封膠層，該等封膠層係各用於覆蓋對應之晶元之黏接墊安裝表面及導線；及

數個適於安裝於該印刷電路板上的錫球，該等錫球係被設置於該晶元安裝體的其中一個安裝表面上且係與對應之電鍍貫孔對準及與該電鍍貫孔之孔形成壁上的導電材料電氣連接。

5. 如申請專利範圍第4項所述之堆疊式記憶體模組結構，其中，該等封膠層是由環氧樹脂形成。
6. 一種堆疊式記憶體模組結構，係適於安裝在一印刷電路板上，包含：

一晶元安裝體，該晶元安裝體具有一第一安裝表面和一第二安裝表面，並且係形成有數個其之孔形成壁被電鍍有導電材料的電鍍貫孔，該第一和第二安裝表面各凹設有至少一個晶元容置凹坑，該第一和第二安裝表面及各凹坑的底壁皆佈設有延伸至對應之電鍍貫孔且與該電鍍貫孔之孔形成壁上之導電材料電氣連接之預定的電路軌跡；

至少兩第一晶元，該等第一晶元各具有一設置有數個黏接墊的黏接墊安裝表面，該等第一晶元係分別容置於該晶元安裝體之對應的晶元容置凹坑內；

至少兩第一絕緣膠帶層，該等第一絕緣膠帶層係分別置於其中一個第一晶元與該晶元安裝體之對應之凹坑的底壁之間及另一個第一晶元與該晶元安裝體之對應之凹坑的底壁之間，該等第一膠帶層係各具有一與對應之



六、申請專利範圍

晶元之黏接墊安裝表面黏接的第一黏接表面和一與該晶元安裝體之對應之凹坑之底壁黏接的第二黏接表面，該等第一膠帶層係形成有數個用以使各第一晶元之黏接墊與該晶元安裝體之對應之凹坑之底壁之電路軌跡的電氣連接；

至少兩個第二晶元，該等第二晶元各具有一設置有數個黏接墊的黏接墊安裝表面，該等第二晶元係分別容置於該晶元安裝體之對應的晶元容置凹坑內；

至少兩第二絕緣膠帶層，該等第二絕緣膠帶層係分別置於其中一個第一晶元與對應之第二晶元之間及另一個第一晶元與對應之第二晶元之間，該等第二膠帶層係各具有一與對應之第二晶元之與黏接墊安裝表面相對之表面黏接的第一黏接表面和一的與對應之第一晶元之黏接第二黏接表面，該等第二黏接表面相對之表面黏接的第二黏接表面，該等第二晶元之黏接墊係藉由導線來與該晶元安裝體之對應之安裝表面的電路軌跡成電氣連接；

至少兩封膠層，該等封膠層係各用於覆蓋對應之第二晶元之黏接墊安裝表面及導線；及

數個適於安裝於該印刷電路板上的錫球，該等錫球係被設置於該晶元安裝體的其中一個安裝表面上且係與對應之電鍍貫孔對準及與該電鍍貫孔之孔形成壁上的導電材料電氣連接。

六、申請專利範圍

7. 如申請專利範圍第6項所述之堆疊式記憶體模組結構，其中，該等封膠層是由環氧樹脂形成。

8. 一種堆疊式記憶體模組結構，係適於安裝在一印刷電路板上，包含：

第一和第二晶元安裝體，該等晶元安裝體各具有一晶元安裝表面和一與該晶元安裝表面相對的電路軌跡佈設表面，該等晶元安裝體各形成有一用於暴露晶元之黏接墊的通孔及數個其之孔形成壁被電鍍有導電材料的電鍍貫孔，在各晶元安裝體之電路軌跡佈設表面上係佈設有延伸至對應之電鍍貫孔且與該貫孔之孔形成壁上之導電材料電氣連接之預定的電路軌跡；

一第一晶元，該第一晶元具有一安裝有黏接墊的黏接墊安裝表面，該第一晶元之黏接墊安裝表面係與一第一絕緣膠帶層的第一黏接表面黏接，而該第一絕緣膠帶層的第二黏接表面係與該第一晶元安裝體的晶元安裝表面黏接，該第一絕緣膠帶層形成有一與該晶元安裝體之通孔對準的穿孔，該第一晶元之黏接墊係藉由導線來與該第一晶元安裝體之電路軌跡佈設表面上之對應的電路軌跡電氣連接，於該第一晶元安裝體之電路軌跡佈設表面上係設有一用於覆蓋該等導線與該第一晶元之黏接墊安裝表面之被暴露之部份的封膠層；

一第二晶元，該第二晶元具有一安裝有黏接墊的黏接墊安裝表面，該第二晶元之黏接墊安裝表面係與一第二絕緣膠帶層的第一黏接表面黏接，而該第二絕緣膠帶



六、申請專利範圍

層的第二黏接表面係與該第二晶元安裝體的晶元安裝表面黏接，該第二絕緣膠帶層形成有一與該第二晶元安裝體之通孔對準的穿孔，該第二晶元之黏接墊係藉由導線來與該第二晶元安裝體之電路軌跡佈設表面上之對應的電路軌跡電氣連接，於該第二晶元安裝體之電路軌跡佈設表面上係設有一用於覆蓋該等導線與該第二晶元之黏接墊安裝表面之被暴露之部份的封膠層；

數個第一錫球，該等第一錫球係置於該第一與第二晶元安裝體之間，各第一錫球係與該第一晶元安裝體之一對應的電鍍貫孔和該第二晶元安裝體之一對應的電鍍貫孔對準，且係與該等貫孔之孔形成壁上的導電材料電氣連接，以致於各第一錫球係透過晶元安裝體之電路軌跡佈設表面上的電路軌跡和導線來與第一和第二晶元之對應的黏接墊電氣連接；及

數個第二錫球，該等第二錫球係被設置於該第二晶元安裝體的晶元安裝表面上且係與對應的電鍍貫孔對準及與貫孔之孔形成壁的導電材料電氣連接。

9. 如申請專利範圍第8項所述之堆疊式記憶體模組結構，其中，該等封膠層是由環氧樹脂形成。

10. 如申請專利範圍第8項所述之堆疊式記憶體模組結構，其中，在該第一晶元之周圍與該第一晶元安裝體之晶元安裝表面之間係更形成有一環氧樹脂層。

11. 如申請專利範圍第8項所述之堆疊式記憶體模組結構，其中，在該第一晶元之與該黏接墊安裝表面相對的

六、申請專利範圍

表面上係設置有一金屬散熱板。

12. 如申請專利範圍第8項所述之堆疊式記憶體模組結構，其中，在該第二晶元之周圍與該第二晶元安裝體之晶元安裝表面之間係更形成有一環氧樹脂層。

13. 如申請專利範圍第8項所述之堆疊式記憶體模組結構，其中，在該第二晶元之與該黏接墊安裝表面相對的表面上係設置有一金屬散熱板。

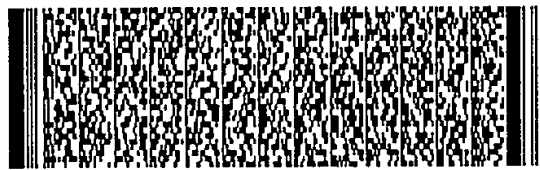
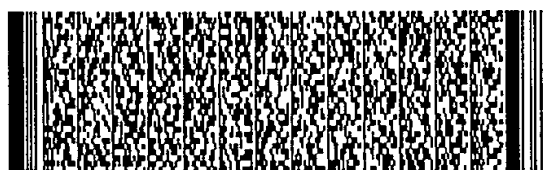
14. 一種多層堆疊式記憶體模組結構，係適於安裝在一印刷電路板上，包含：

至少兩個堆疊式記憶體模組結構，該等堆疊式記憶體模組結構各包含：

一晶元安裝體，該晶元安裝體具有一第一安裝表面和一第二安裝表面，並且係形成有數個其之孔形成壁被電鍍有導電材料的電鍍貫孔，該第一和第二安裝表面皆佈設有延伸至對應之電鍍貫孔且與該電鍍貫孔之孔形成壁上之導電材料電氣連接之預定的電路軌跡；

至少兩晶元，該等晶元各具有一設置有數個黏接墊的黏接墊安裝表面；

至少兩絕緣膠帶層，該等絕緣膠帶層係分別置於其中一個晶元與該晶元安裝體之第一安裝表面之間及另一個晶元與該晶元安裝體之第二安裝表面之間，並且係各具有一與對應之晶元之黏接墊安裝表面黏接的第一黏接表面和一與該晶元安裝體之對應之安



六、申請專利範圍

裝表面黏接的第二黏接表面，該膠帶層係形成有數個用以使各晶元之黏接墊與該晶元安裝體之對應之安裝表面之對應之電路軌跡連通的穿孔，在各穿孔中係設置有導電金屬球俾可達成該等晶元之黏接墊與該晶元安裝體之對應之電路軌跡的電氣連接；及

數個適於安裝於該印刷電路板上的錫球，該等錫球係被設置於該晶元安裝體的其中一個安裝表面上且係與對應之電鍍貫孔對準及與該電鍍貫孔之孔形成壁上的導電材料電氣連接。

15. 如申請專利範圍第14項所述之多層堆疊式記憶體模組結構，其中，在各晶元之周圍與該晶元安裝體之對應之安裝表面之間係更形成有一環氧樹脂層。

16. 如申請專利範圍第14項所述之多層堆疊式記憶體模組結構，其中，在各晶元之與該黏接墊安裝表面相對的表面上係設置有一金屬散熱板。

17. 一種多層堆疊式記憶體模組結構，係適於安裝在一印刷電路板上，包含：

至少兩個堆疊式記憶體模組結構，該等堆疊式記憶體模組結構各包含：

一晶元安裝體，該晶元安裝體具有一第一安裝表面和一第二安裝表面，並且係形成有數個其之孔形成壁被電鍍有導電材料的電鍍貫孔，該第一和第二安裝表面各凹設有至少一個晶元容置凹坑並且皆佈設有延伸至對應之電鍍貫孔且與該電鍍貫孔之孔形成壁

六、申請專利範圍

上之導電材料電氣連接之預定的電路軌跡；

至少兩晶元，該等晶元各具有一設置有數個黏接墊的黏接墊安裝表面，該等晶元係分別容置於該晶元安裝體之對應的晶元容置凹坑內；

至少兩絕緣膠帶層，該等絕緣膠帶層係分別置於其中一個晶元與該晶元安裝體之其中一個凹坑之底壁之間及另一個晶元與該晶元安裝體之另一個凹坑之底壁之間，該等膠帶層係各具有一與對應之晶元之與該黏接墊安裝表面相對之表面黏接的第一黏接表面和一與該晶元安裝體之對應之凹坑之底壁黏接的第二黏接表面，該等晶元之黏接墊係藉由導線來與該晶元安裝體之對應之安裝表面的電路軌跡成電氣連接；

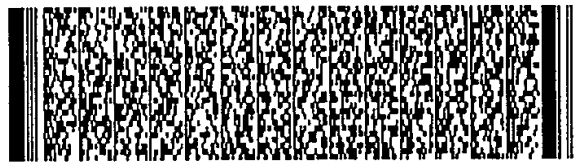
至少兩封膠層，該等封膠層係各用於覆蓋對應之晶元之黏接墊安裝表面及導線；及

數個適於安裝於該印刷電路板上的錫球，該等錫球係被設置於該晶元安裝體的其中一個安裝表面上且係與對應之電鍍貫孔對準及與該電鍍貫孔之孔形成壁上的導電材料電氣連接。

18. 如申請專利範圍第17項所述之多層堆疊式記憶體模組結構，其中，該等封膠層是由環氧樹脂形成。

19. 一種多層堆疊式記憶體模組結構，係適於安裝在一印刷電路板上，包含：

至少兩個堆疊式記憶體模組結構，該等堆疊式記憶體模組結構各包含：



六、申請專利範圍

一晶元安裝體，該晶元安裝體具有一第一安裝表面和第一第二安裝表面，並且係形成有數個其之孔形成壁被電鍍有導電材料的電鍍貫孔，該第一和第二安裝表面各凹設有至少一個晶元容置凹坑，該第一和第二安裝表面及各凹坑的底壁皆佈設有延伸至對應之電鍍貫孔且與該電鍍貫孔之孔形成壁上之導電材料電氣連接之預定的電路軌跡；

至少兩第一晶元，該等第一晶元各具有一設置有數個黏接墊的黏接墊安裝表面，該等第一晶元係分別容置於該晶元安裝體之對應的晶元容置凹坑內；

至少兩第一絕緣膠帶層，該等第一絕緣膠帶層係分別置於其中一個第一晶元與該晶元安裝體之對應之凹坑的底壁之間及另一個第一晶元與該晶元安裝體之對應之凹坑的底壁之間，該等第一膠帶層係各具有一與對應之晶元之黏接墊安裝表面黏接的第一黏接表面和一與該晶元安裝體之對應之凹坑的底壁黏接的第二黏接表面，該等第一膠帶層係形成有數個用以使各第一晶元之黏接墊與該晶元安裝體之對應之凹坑之底壁之對應之電路軌跡連通的穿孔，在各穿孔中係設置有導電金屬球俾可達成該等第一晶元之黏接墊與該晶元安裝體之對應之凹壁之底壁之電路軌跡的電氣連接；

至少兩個第二晶元，該等第二晶元各具有一設置有數個黏接墊的黏接墊安裝表面，該等第二晶元

六、申請專利範圍

係分別容置於該晶元安裝體之對應的晶元容置凹坑內；

至少兩第二絕緣膠帶層，該等第二絕緣膠帶層係分別置於其中一個第一晶元與對應之第二晶元之間及另一個第一晶元與對應之第二晶元之間，該等第二膠帶層係各具有一與對應之第二晶元之與黏接墊安裝表面相對之表面黏接的第一黏接表面和一與對應之第一晶元之黏接墊安裝表面相對之表面黏接的第二黏接表面，該等第二晶元之黏接墊係藉由導線來與該晶元安裝體之對應之安裝表面的電路軌跡成電氣連接；

至少兩封膠層，該等封膠層係各用於覆蓋對應之第二晶元之黏接墊安裝表面及導線；及

數個適於安裝於該印刷電路板上的錫球，該等錫球係被設置於該晶元安裝體的其中一個安裝表面上且係與對應之電鍍貫孔對準及與該電鍍貫孔之孔形成壁上的導電材料電氣連接。

20. 如申請專利範圍第19項所述之多層堆疊式記憶體模組結構，其中，該等封膠層是由環氧樹脂形成。

21. 一種多層堆疊式記憶體模組結構，係適於安裝在一印刷電路板上，包含：

至少兩個堆疊式記憶體模組結構，該等堆疊式記憶體模組結構各包含：

第一和第二晶元安裝體，該等晶元安裝體各具有一晶元安裝表面和一與該晶元安裝表面相對的電



六、申請專利範圍

路軌跡佈設表面，該等晶元安裝體各形成有一用於暴露晶元之黏接墊的通孔及數個其之孔形成壁被電鍍有導電材料的電鍍貫孔，在各晶元安裝體之電路軌跡佈設表面上係佈設有延伸至對應之電鍍貫孔且與該貫孔之孔形成壁上之導電材料電氣連接之預定的電路軌跡；

一第一晶元，該第一晶元具有一安裝有黏接墊的黏接墊安裝表面，該第一晶元之黏接墊安裝表面係與一第一絕緣膠帶層的第一黏接表面黏接，而該第一絕緣膠帶層的第二黏接表面係與該第一晶元安裝體的晶元安裝表面黏接，該第一絕緣膠帶層形成有一與該晶元安裝體之通孔對準的穿孔，該第一晶元之黏接墊係藉由導線來與該第一晶元安裝體之電路軌跡佈設表面上之對應的電路軌跡電氣連接，於該第一晶元安裝體之電路軌跡佈設表面上係設有一用於覆蓋該等導線與該第一晶元之黏接墊安裝表面之被暴露之部份的封膠層；

一第二晶元，該第二晶元具有一安裝有黏接墊的黏接墊安裝表面，該第二晶元之黏接墊安裝表面係與一第二絕緣膠帶層的第一黏接表面黏接，而該第二絕緣膠帶層的第二黏接表面係與該第二晶元安裝體的晶元安裝表面黏接，該第二絕緣膠帶層形成有一與該第二晶元安裝體之通孔對準的穿孔，該第二晶元之黏接墊係藉由導線來與該第二晶元安裝體之電路軌跡

六、申請專利範圍

佈設表面上之對應的電路軌跡電氣連接，於該第二晶元安裝體之電路軌跡佈設表面上係設有一用於覆蓋該等導線與該第二晶元之黏接墊安裝表面之被暴露之部份的封膠層；

數個第一錫球，該等第一錫球係置於該第一與第二晶元安裝體之間，各第一錫球係與該第一晶元安裝體之一對應的電鍍貫孔和該第二晶元安裝體之一對應的電鍍貫孔對準，且係與該等貫孔之孔形成壁上的導電材料電氣連接，以致於各第一錫球係透過晶元安裝體之電路軌跡佈設表面上的電路軌跡和導線來與第一和第二晶元之對應的黏接墊電氣連接；及

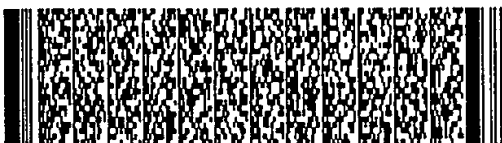
數個第二錫球，該等第二錫球係被設置於該第二晶元安裝體的晶元安裝表面上且係與對應的電鍍貫孔對準及與貫孔之孔形成壁的導電材料電氣連接。

22. 如申請專利範圍第21項所述之多層堆疊式記憶體模組結構，其中，該等封膠層是由環氧樹脂形成。
23. 如申請專利範圍第21項所述之多層堆疊式記憶體模組結構，其中，在該第一晶元之周圍與該第一晶元安裝體之晶元安裝表面之間係更形成有一環氧樹脂層。
24. 如申請專利範圍第21項所述之多層堆疊式記憶體模組結構，其中，在該第一晶元之與該黏接墊安裝表面相對的表面上係設置有一金屬散熱板。
25. 如申請專利範圍第21項所述之多層堆疊式記憶體模組結構，其中，在該第二晶元之周圍與該第二晶元安裝體

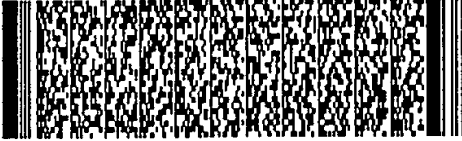
六、申請專利範圍

之晶元安裝表面之間係更形成有一環氧樹脂層。

26. 如申請專利範圍第21項所述之多層堆疊式記憶體模組結構，其中，在該第二晶元之與該黏接墊安裝表面相對的表面上係設置有一金屬散熱板。



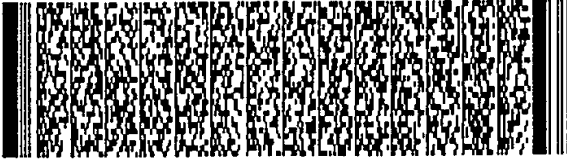
第 1/31 頁



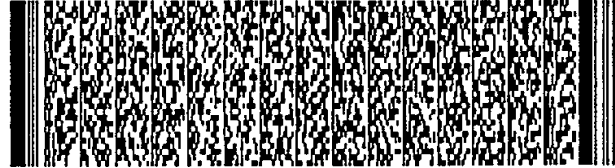
第 2/31 頁



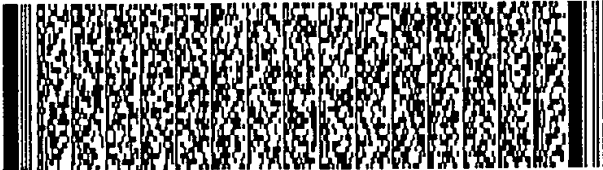
第 3/31 頁



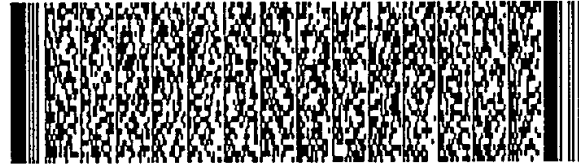
第 5/31 頁



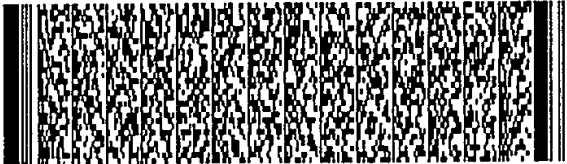
第 5/31 頁



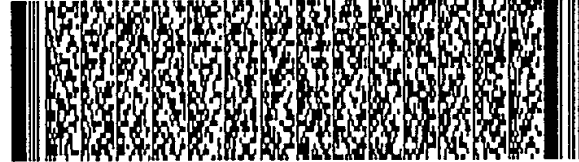
第 6/31 頁



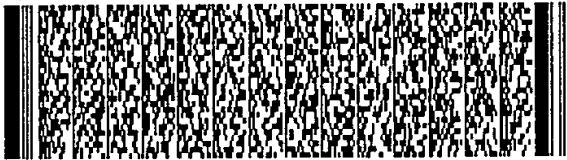
第 6/31 頁



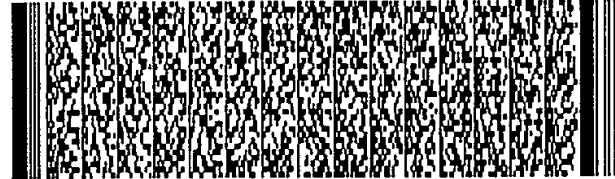
第 7/31 頁



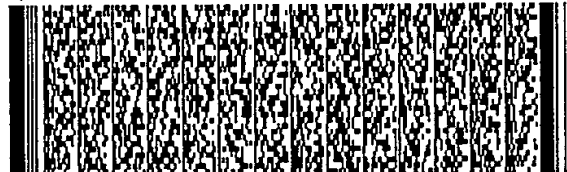
第 7/31 頁



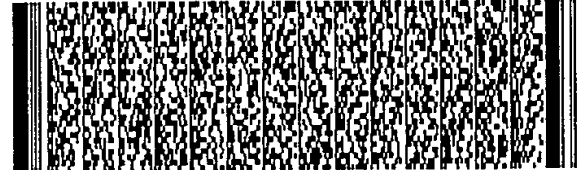
第 8/31 頁



第 9/31 頁



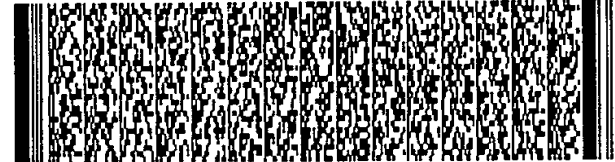
第 9/31 頁



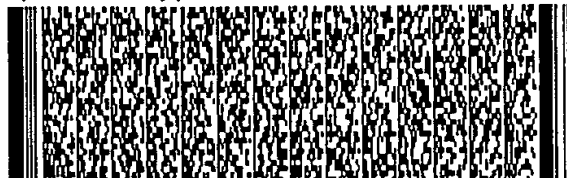
第 10/31 頁



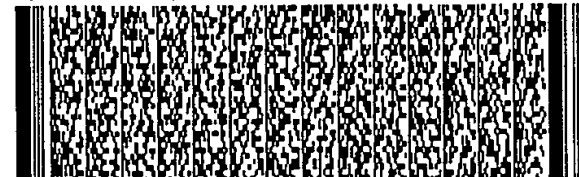
第 10/31 頁



第 11/31 頁



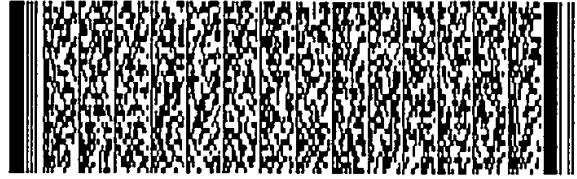
第 11/31 頁



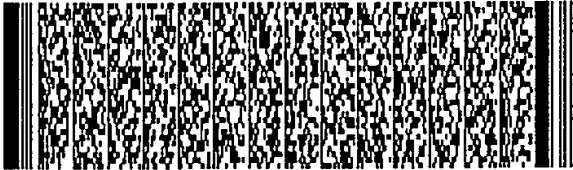
第 12/31 頁



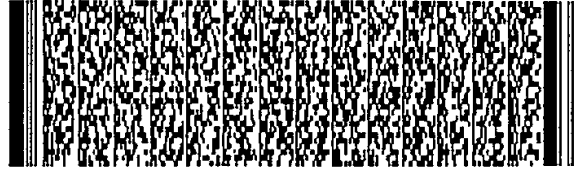
第 12/31 頁



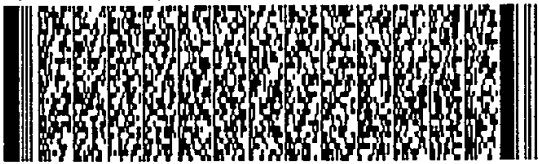
第 13/31 頁



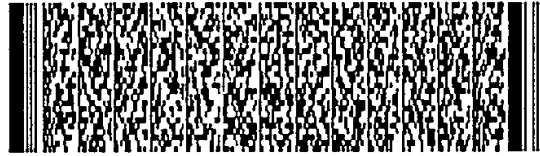
第 13/31 頁



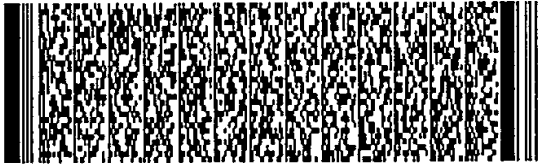
第 14/31 頁



第 14/31 頁



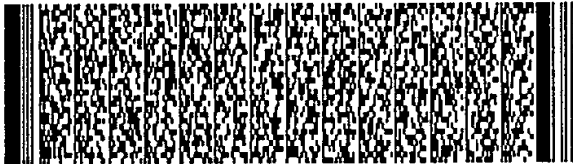
第 15/31 頁



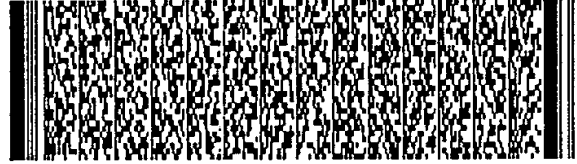
第 15/31 頁



第 16/31 頁



第 16/31 頁



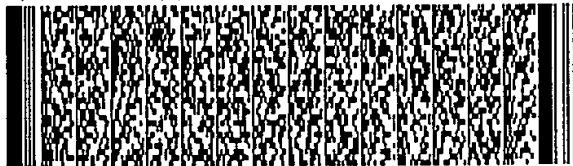
第 17/31 頁



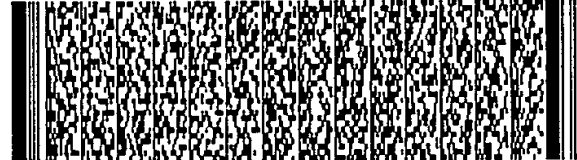
第 18/31 頁



第 18/31 頁



第 19/31 頁



第 19/31 頁



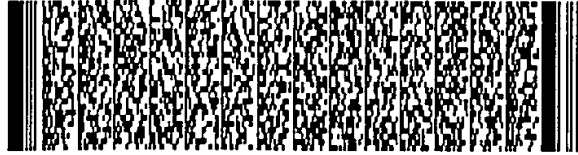
第 20/31 頁



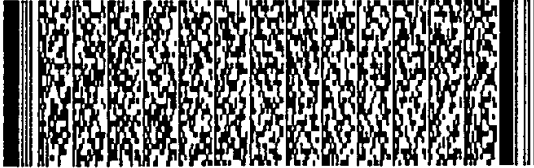
第 20/31 頁



第 21/31 頁



第 21/31 頁



第 22/31 頁



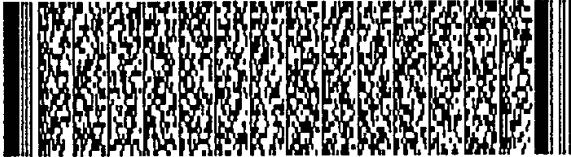
第 22/31 頁



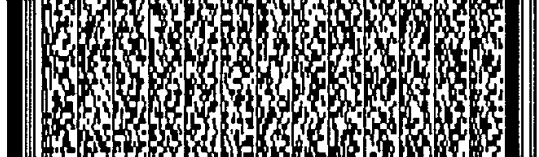
第 23/31 頁



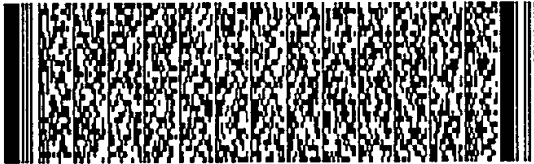
第 23/31 頁



第 24/31 頁



第 24/31 頁



第 25/31 頁



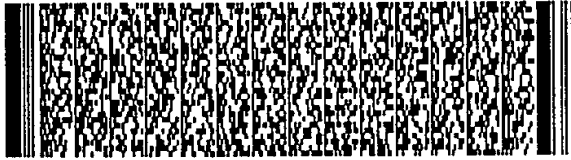
第 25/31 頁



第 26/31 頁



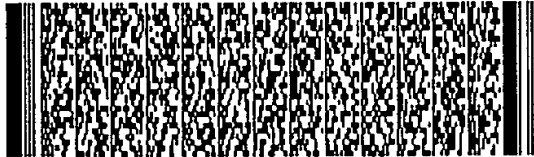
第 26/31 頁



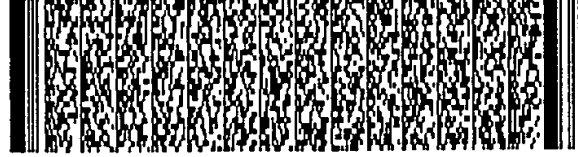
第 27/31 頁



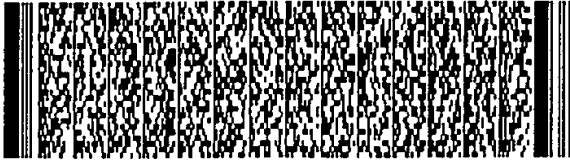
第 27/31 頁



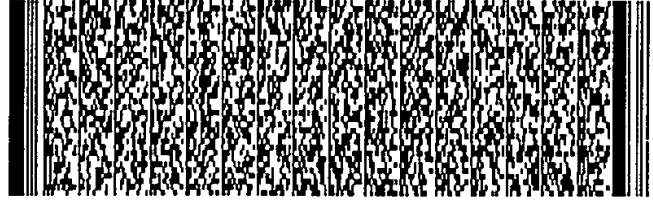
第 28/31 頁



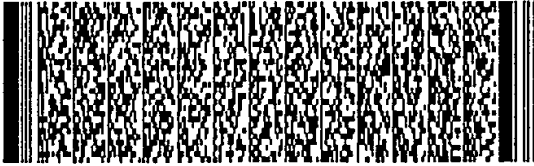
第 28/31 頁



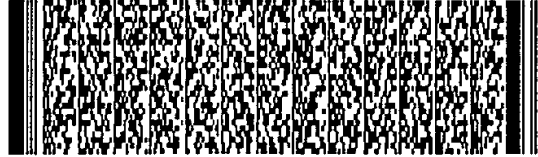
第 29/31 頁



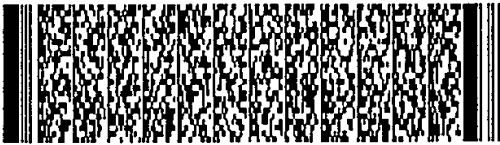
第 30/31 頁



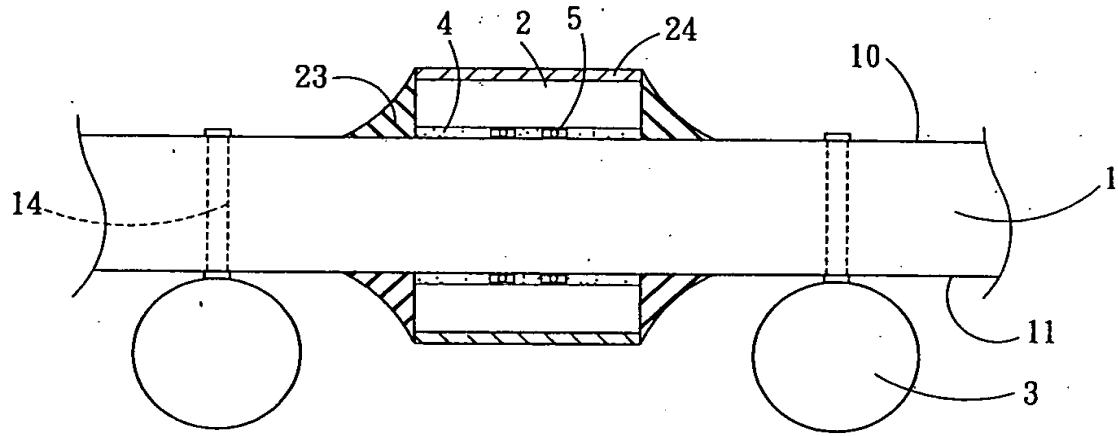
第 30/31 頁



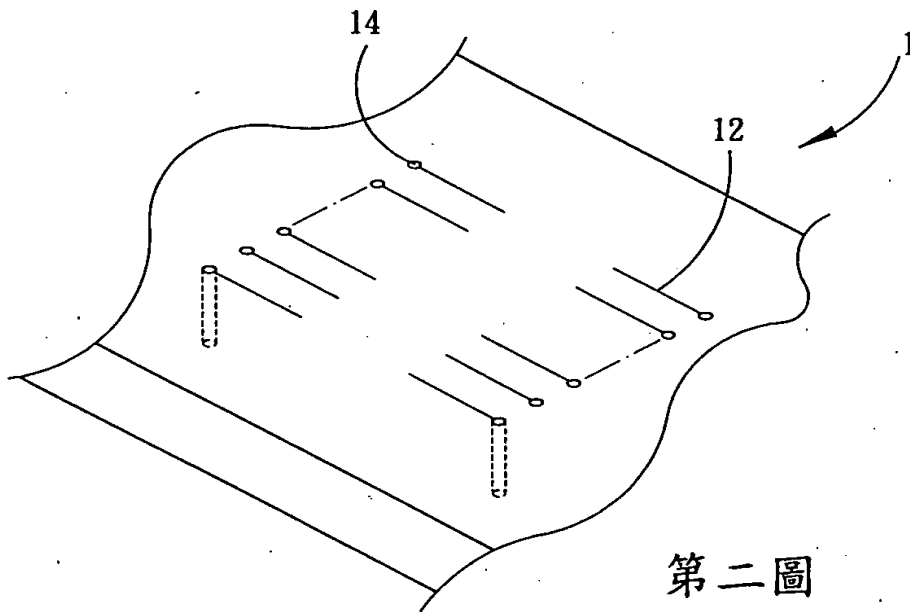
第 31/31 頁



圖式



第一圖



第二圖

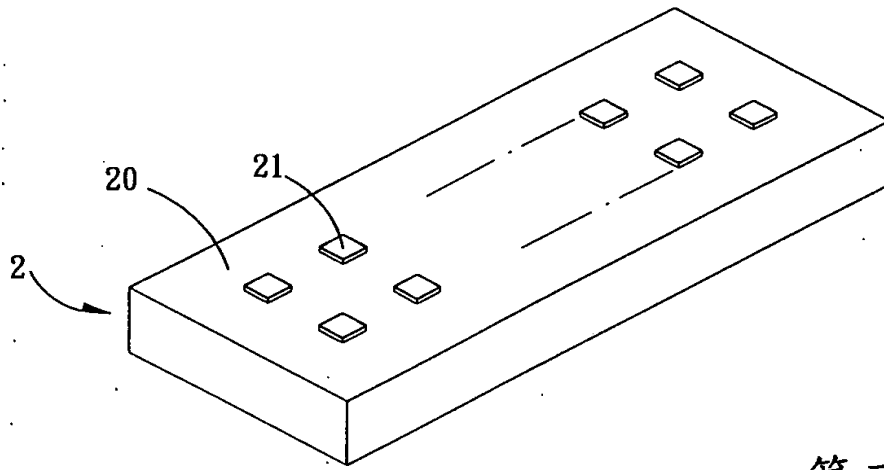
(請先閱讀背面之注意事項再行繪製)

裝

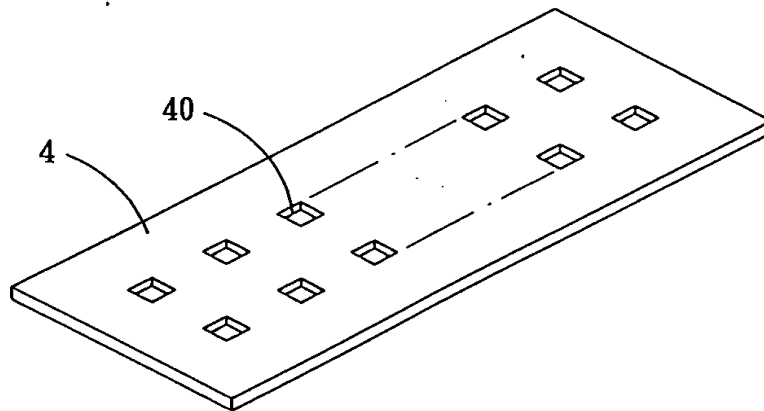
訂

線

圖式



第三圖



第四圖

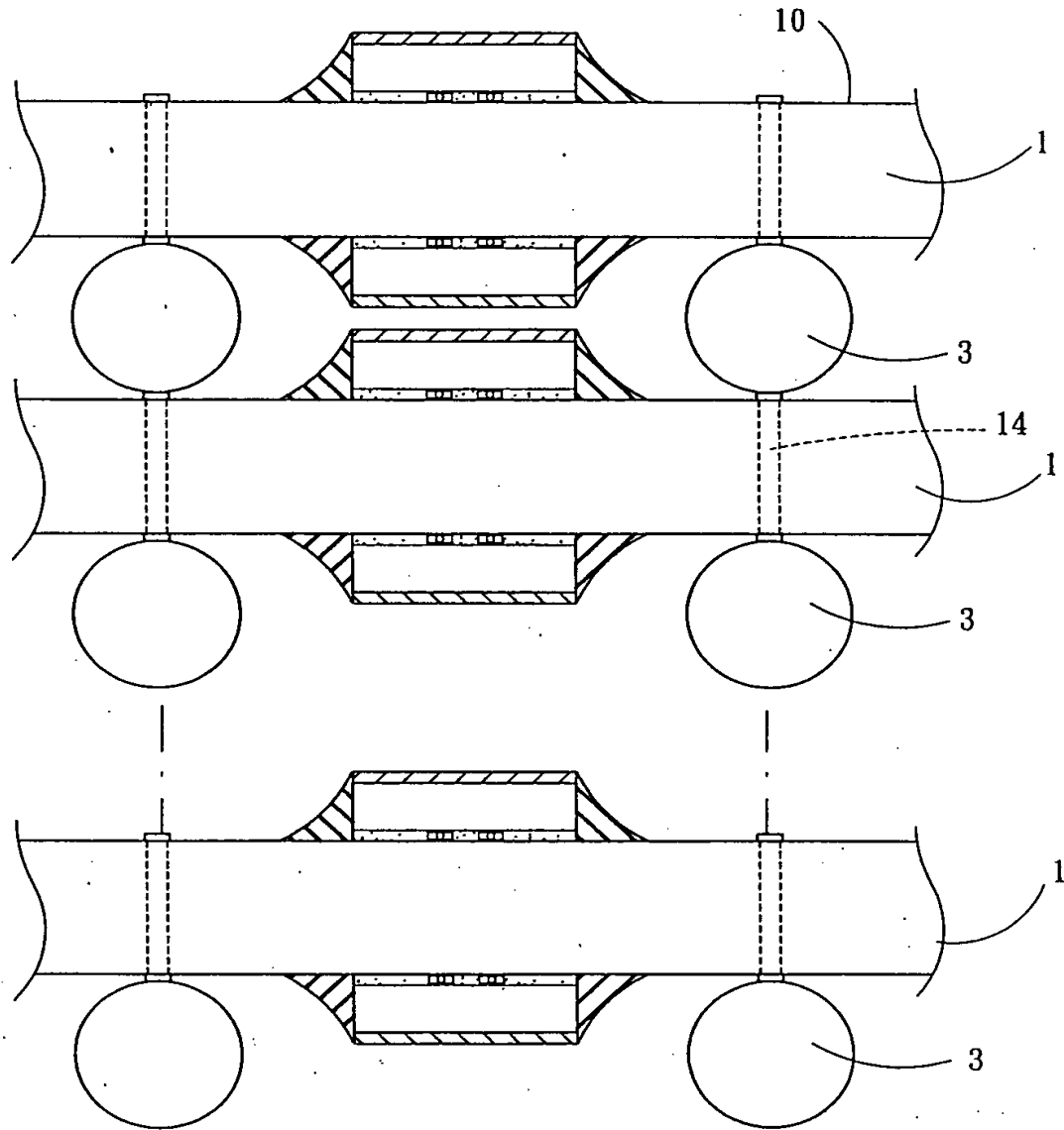
(請先閱讀背面之注意事項再行繪製)

裝

訂

線

圖式



第五圖

(請先閱讀背面之注意事項再行繪製)

裝

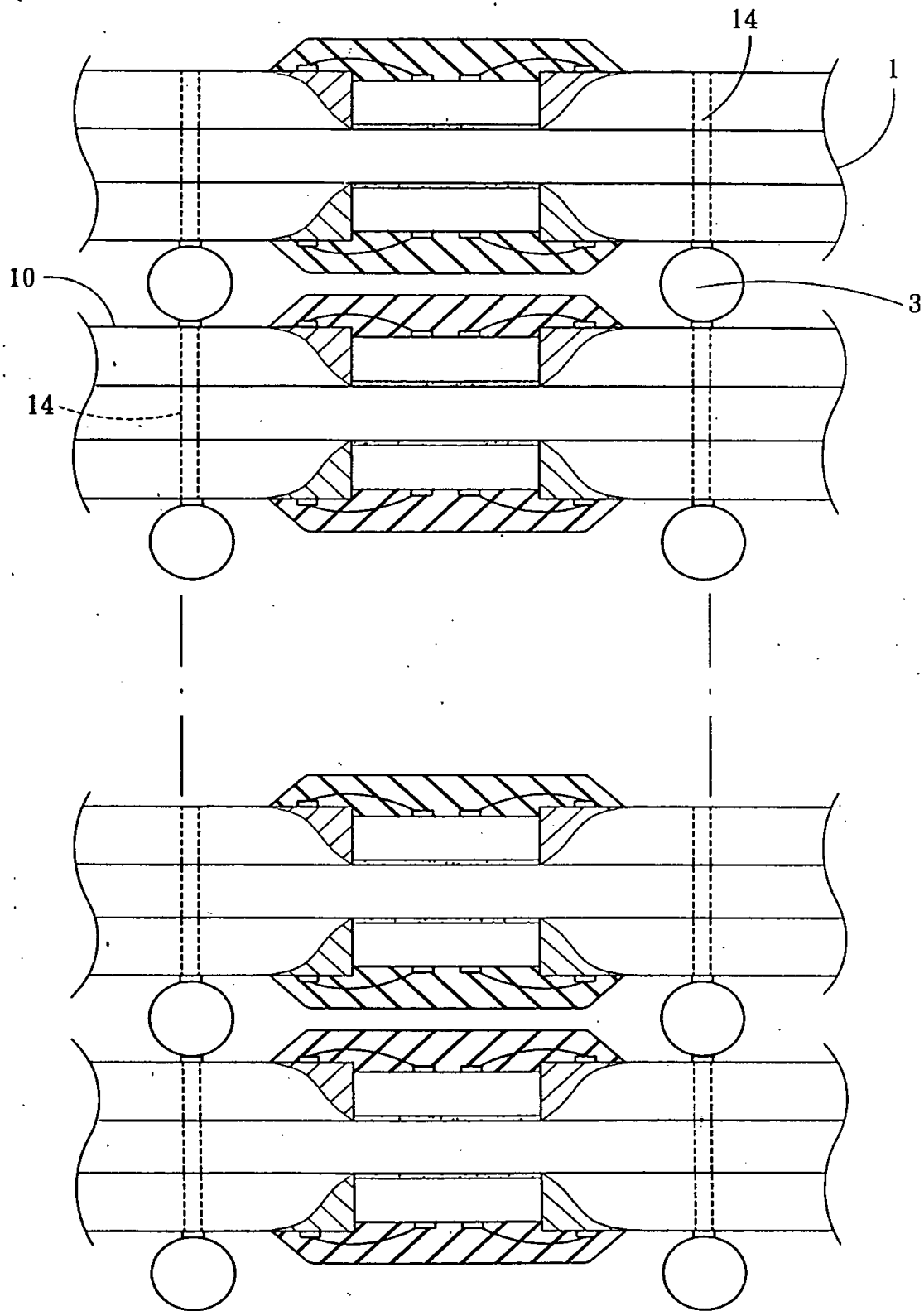
訂

線

本紙張尺度適用中國國家標準 (CNS) A4規格 (210×297公釐)

A9
B9
C9
D9

圖式



第七圖

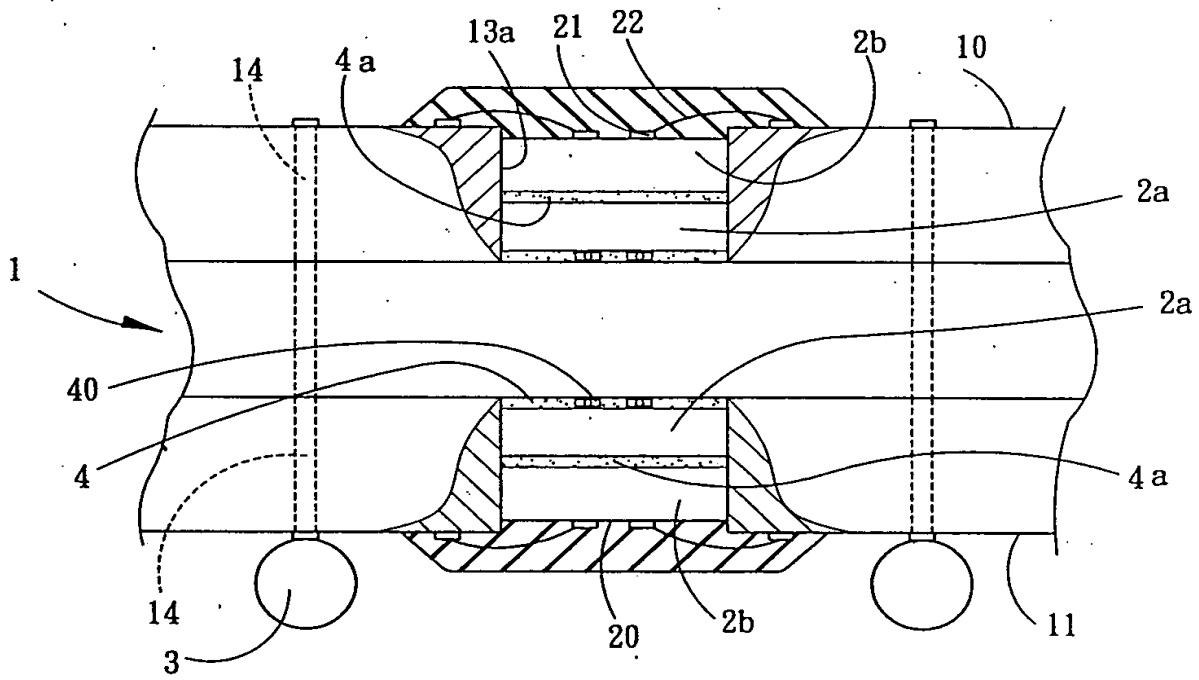
(請先閱讀背面之注意事項再行繪製)

裝

訂

線

圖式



第八圖

(請先閱讀背面之注意事項再行繪製)

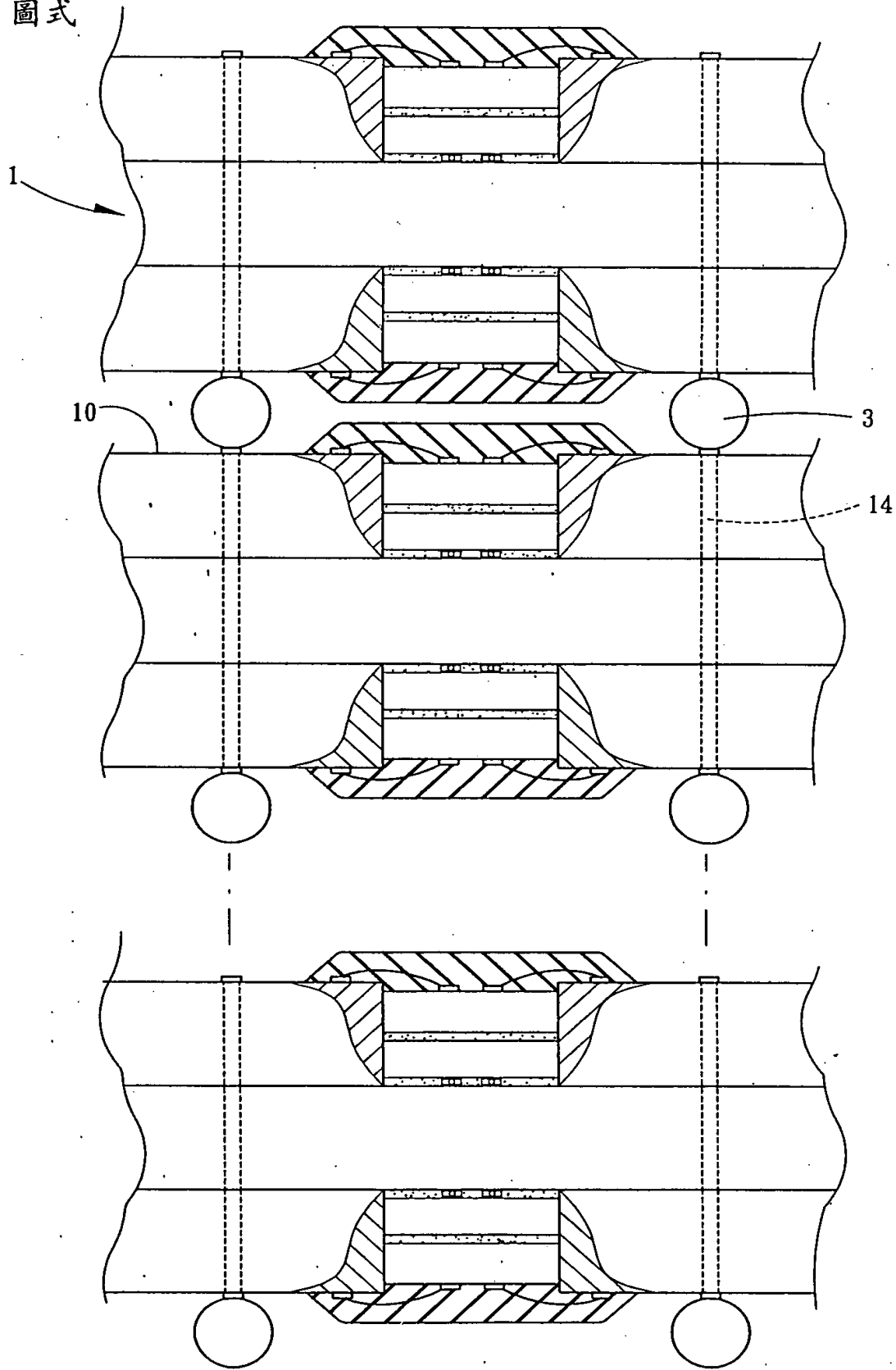
裝

訂

線

A9
B9
C9
D9

圖式



(請先閱讀背面之注意事項再行繪製)

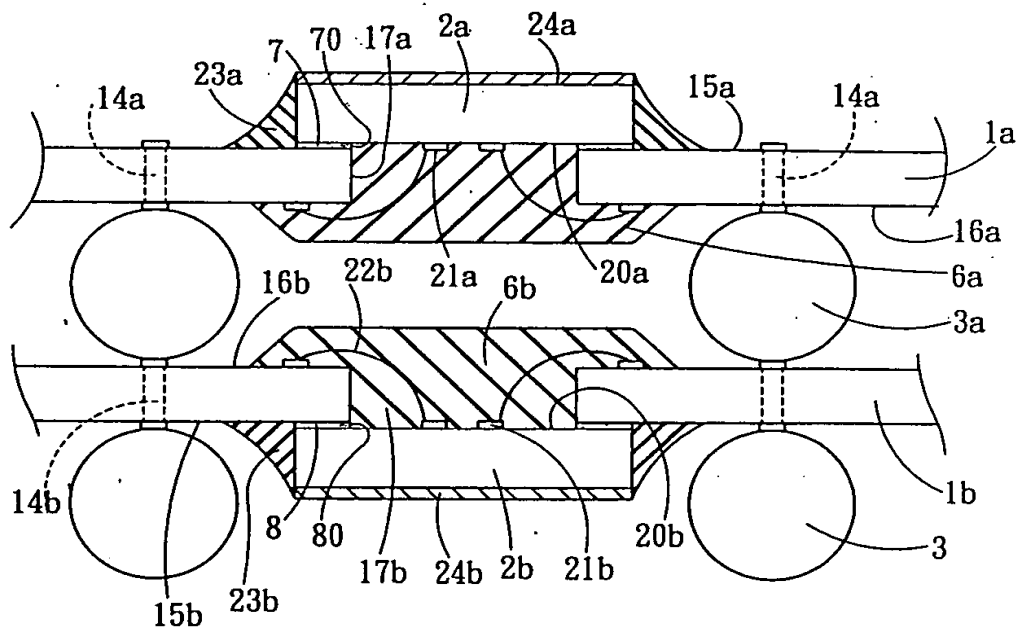
裝

訂

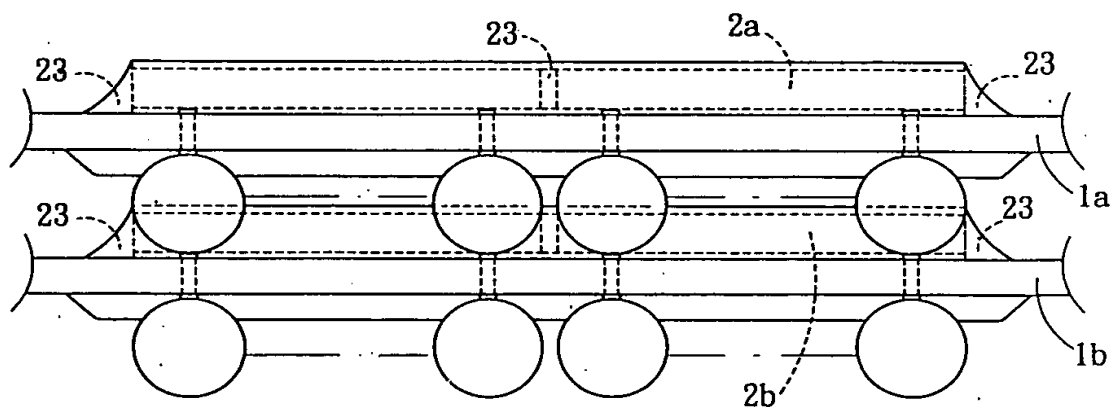
線

第九圖

圖式



第十圖



第十一圖

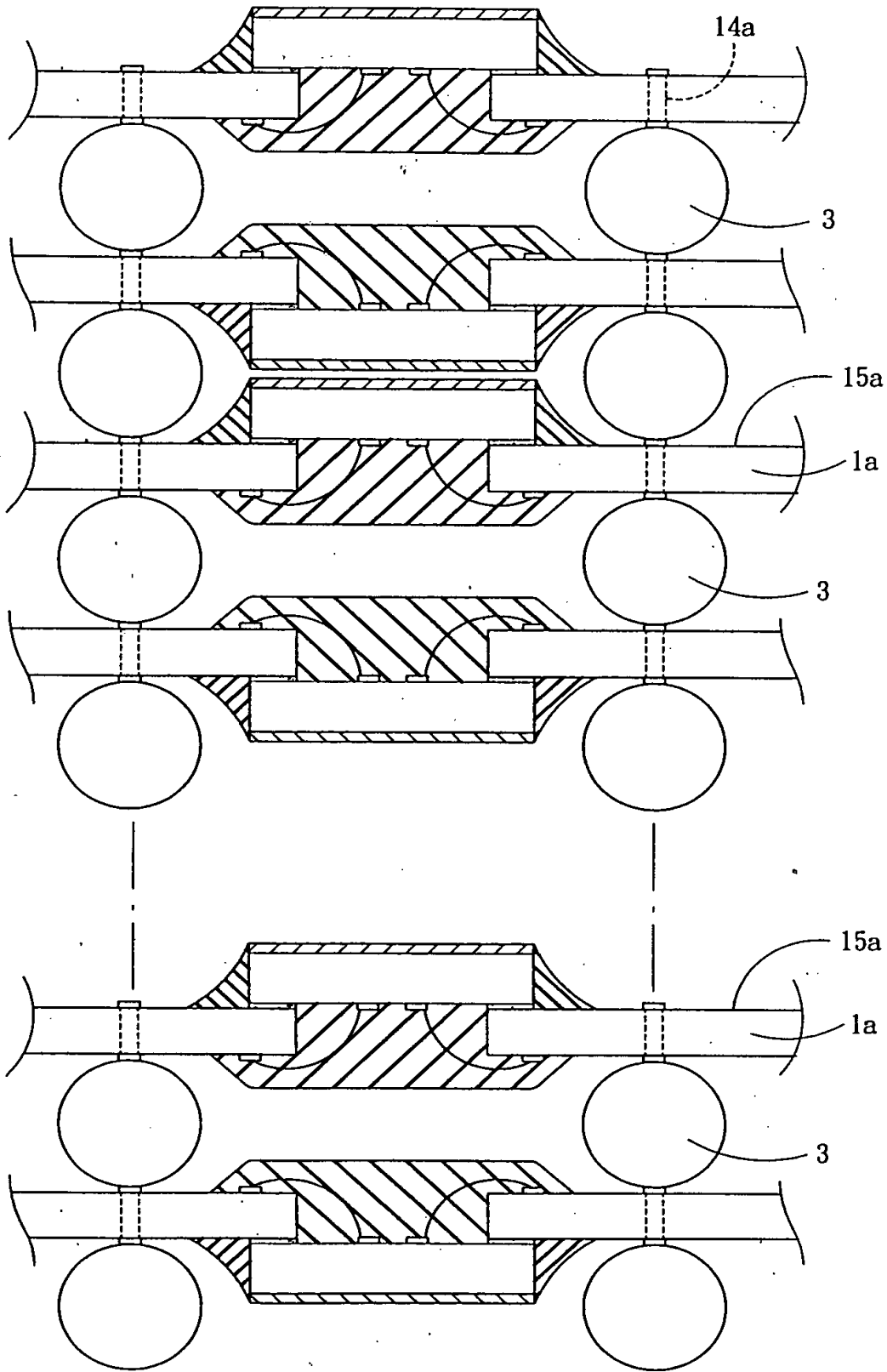
(請先閱讀背面之注意事項再行繪製)

裝

訂

線

圖式



第十圖

(請先閱讀背面之注意事項再行繪製)

裝

訂

線